

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    1 月 2 2 日  
Date of Application:

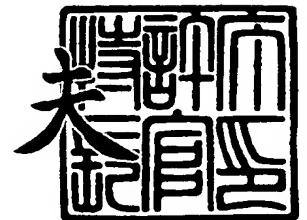
出 願 番 号                      特 願 2 0 0 3 - 0 1 3 6 0 3  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 0 1 3 6 0 3 ]

出      願      人                      セイコーエプソン株式会社  
Applicant(s):

2 0 0 3 年    9 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 4 9 9 2

【書類名】 特許願

【整理番号】 J0093589

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146

【発明者】

    【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

    【氏名】 那須 弘明

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107076

    【弁理士】

    【氏名又は名称】 藤網 英吉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置、画像処理方法及び固体撮像装置

【特許請求の範囲】

【請求項 1】

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子と、

前記複数のトランジスタの各ゲートに印加される印加電圧を変更するゲート印加電圧変更回路と、

を有し、前記ゲート印加電圧変更回路は、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では第 1 の電源から、そして該蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では第 2 の電源から、前記複数のトランジスタの各ゲートへ、それぞれ予め決められた電圧を供給するようにしたことを特徴とする画像処理装置。

【請求項 2】

さらに、前記ゲート印加電圧変更回路は、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するクリア状態では第 3 の電源から、前記複数の前記トランジスタの各ゲートへ、予め決められた電圧を供給するようにしたことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】

さらに、前記複数のトランジスタの各ゲートに接続される複数のゲート電圧供給回路を有し、

前記複数のゲート電圧供給回路には、前記ゲート印加電圧変更回路から変更された前記印加電圧の供給されること特徴とする請求項 1 又は請求項 2 に記載の画像処理装置。

【請求項 4】

さらに、前記複数のトランジスタの各ゲートに接続される複数のゲート電圧供給回路を有し、

前記複数のゲート電圧供給回路は、それぞれ前記ゲート印加電圧変更回路を含むこと特徴とする請求項 1 又は請求項 2 に記載の画像処理装置。

**【請求項 5】**

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子により画像を撮像するための画像処理方法において、

前記固体撮像素子における前記複数のトランジスタの各ゲートに印加される印加電圧を、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では第 1 の電源から供給し、

前記蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では、前記複数のトランジスタの各ゲートに印加される前記印加電圧を、第 2 の電源から供給するようにしたことを特徴とする画像処理方法。

**【請求項 6】**

フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子と、

前記複数のトランジスタの各ゲートに印加される印加電圧を変更するゲート印加電圧変更回路と、

第 1 の電圧と第 2 の電圧を生成するレギュレータと、  
を有し、前記ゲート印加電圧変更回路は、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では前記レギュレータからの前記第 1 の電圧を、そして該蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では前記レギュレータからの前記第 2 の電圧を、前記複数のトランジスタの各ゲートへ、供給するようにしたことを特徴とする固体撮像装置。

**【発明の詳細な説明】****【0 0 0 1】****【発明の属する技術分野】**

本発明は、画像処理装置、画像処理方法及び固体撮像装置に関する。特に、固体撮像素子により画像を撮像するための画像処理装置、画像処理方法及び固体撮像装置に関する。

**【0 0 0 2】****【従来の技術】**

半導体イメージセンサは、種々の画像入力装置に利用されている。最近、その

中で、閾値電圧変調方式のMOS型固体撮像素子が、CCD（電荷結合素子）の高性能画質とCMOSの低消費電力とを兼ね備え、さらに高密度化および低コスト化を実現するものとして注目されている。

閾値電圧変調方式のMOS型固体撮像素子の技術は、例えば、特開平11-195778号公報に開示されている。閾値電圧変調方式のMOS型固体撮像素子では、初期化、蓄積及び読出の3つの状態を繰り返すことによって、各画素のキャリアポケットに蓄積された光発生電荷に基づく画像信号が取り出される。初期化状態の期間は、残留電荷をキャリアポケット内から排出する期間である。蓄積状態の期間は、センサセルに電荷を蓄積する期間である。読出状態の期間は、蓄積された電荷量を電圧変調して読み出す期間である。

#### 【0003】

##### 【特許文献1】

特開平11-195778号公報

#### 【0004】

##### 【発明が解決しようとする課題】

ところが、例えば、光発生電荷をキャリアポケットに蓄積させる蓄積期間の状態の選択ラインと、蓄積された光発生電荷に基づく画像信号を読み出す読出期間の状態の非選択ラインとの選択比を大きくするために、ゲート電圧を高くすると、ホールを十分に集められなくなり、良質な画質が得られなくなるという問題が生じる。

しかし、このような場合に、上述した特開平11-195778号では、良好な画質を得るためのゲート電圧の供給方法については特に言及されていない。

#### 【0005】

##### 【課題を解決するための手段】

そこで、本発明は、良質な画像を得られるようにするためのゲート電圧の供給を行う画像処理装置、画像処理方法及び固体撮像装置を提供することを目的とする。

本発明の画像処理装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子と、前記複数のトランジスタの

各ゲートに印加される印加電圧を変更するゲート印加電圧変更回路とを有し、前記ゲート印加電圧変更回路は、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では第1の電源から、そして該蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では第2の電源から、前記複数のトランジスタの各ゲートへ、それぞれ予め決められた電圧を供給する。

#### 【0006】

本発明の画像処理方法は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子により画像を撮像するための画像処理方法において、前記固体撮像素子における前記複数のトランジスタの各ゲートに印加される印加電圧を、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では第1の電源から供給し、前記蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では、前記複数のトランジスタの各ゲートに印加される前記印加電圧を、第2の電源から供給する。

#### 【0007】

本発明の固体撮像装置は、フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子と、前記複数のトランジスタの各ゲートに印加される印加電圧を変更するゲート印加電圧変更回路と、第1の電圧と第2の電圧を生成するレギュレータとを有し、前記ゲート印加電圧変更回路は、受光した光に応じて前記フォトダイオードにキャリアを生じさせる蓄積状態では前記レギュレータからの前記第1の電圧を、そして該蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では前記レギュレータからの前記第2の電圧を、前記複数のトランジスタの各ゲートへ、供給する。

#### 【0008】

このような構成によれば、良質な画像を得られるようにするためのゲート電圧の供給を行う画像処理装置を実現することができる。

また、本発明の画像処理装置において、さらに、前記ゲート印加電圧変更回路は、前記固体撮像素子内に残留する前記キャリアを前記固体撮像素子から排出するクリア状態では第3の電源から、前記複数の前記トランジスタの各ゲートへ、予め決められた電圧を供給することが望ましい。

**【0009】**

また、本発明の画像処理装置において、さらに、前記複数のトランジスタの各ゲートに接続される複数のゲート電圧供給回路を有し、前記複数のゲート電圧供給回路には、前記ゲート印加電圧変更回路から変更された前記印加電圧の供給がされることが望ましい。

また、本発明の画像処理装置において、さらに、前記複数のトランジスタの各ゲートに接続される複数のゲート電圧供給回路を有し、前記複数のゲート電圧供給回路は、それぞれ前記ゲート印加電圧変更回路を含むことが望ましい。

このような構成によれば、さらに適切な画像を得ることができる。

**【0010】****【発明の実施の形態】**

以下、図面を参照して本発明の実施の形態を説明する。

まず、図1に基づき、本実施の形態に係わる画像処理装置の構成を説明する。

**【0011】**

図1は、固体撮像装置であるイメージセンサLSI（大規模集積回路）1と、信号処理装置である信号処理LSI2からなる画像処理装置の構成を示すブロック構成図である。イメージセンサLSI1は、2次元の固体撮像装置であり、光学像を光電変換して、光学像に基づく画素信号を信号処理LSI2へ供給する。信号処理LSI2は、受信した各画素信号に対して予め決められた信号処理を施して、画像信号を出力する。

**【0012】**

イメージセンサLSI1は、センサセルアレイ3と、クリアライン用シフトレジスタ4と、読み出しライン用シフトレジスタ5と、垂直ドライブ回路6と、昇圧回路7と、レギュレータ8と、蓄積信号用ラインメモリ9と、オフセット信号用ラインメモリ10と、水平シフトレジスタ11と、出力アンプ12と、タイミングジェネレータ13とを含む。タイミングジェネレータ13は、レジスタ14と3線シリアルインターフェース15を含む。

**【0013】**

イメージセンサLSI1のセンサセルアレイ3は、例えば、特開平11-19



5778号に記載されたような閾値変調型の固体撮像素子である。タイミングジェネレータ13から、各回路へ各種制御信号が供給され、その各種制御信号に基づいて、センサセルアレイ3は、各セルの受光した光量に応じた画素信号を出力する。また、センサセルアレイ3は、例えば、640×480のセルと、オプティカルブラック（OB）のための領域（OB領域）を含む。OB領域を含めると、センサアレイ3は例えば712×500のセルで構成される。そして、イメージセンサLSI1は、受光光量に応じた信号成分の電圧出力信号VOUTSと、オフセット成分に応じた電圧出力信号VOUTNの2つの出力信号を、信号処理LSI2へ供給する。

#### 【0014】

垂直ドライブ回路6は、読み出しラインとクリアラインを選択するための回路である。読み出しライン用シフトレジスタ5とクリアライン用シフトレジスタ4は、それぞれ読み出しラインとクリアラインを指定するための回路である。

レギュレータ8は、イメージセンサLSI1内で必要とされる各種電圧を生成するための電圧生成回路である。昇圧回路7は、後述するように、センサセルアレイ3に対して必要な電圧を与えるために、レギュレータ8から供給された電圧を昇圧するための回路である。なお、イメージセンサLSI1のより詳細な説明は、図2を用いて後述する。

#### 【0015】

信号処理LSI2は、差分アンプ回路16と、オプティカルブラック（以下、OBと略す。）クランプ回路17と、プログラマブルゲインアンプ回路（PGA）18と、アナログデジタル変換回路（ADC）19と、OB制御ロジック回路20と、輝度制御ロジック回路21と、輝度測光ロジック回路22と、レジスタ23と、イメージプロセッサ24と、シーケンサ25と、タイミングジェネレータ26とを含む。レジスタ23は、シャッタースピードデータ等のデータがストアされる。

#### 【0016】

イメージセンサLSI1からのVOUTSとVOUTNの2つのアナログ信号は、差分アンプ回路16に入力される。信号処理LSI2の差分アンプ回路16

は、信号成分の電圧値とオフセット成分との電圧値の差を取って増幅し、OBクランプ回路17へその差分電圧を出力する。

OBクランプ回路17は、入力された画素信号の黒レベルを黒色の適切なレベルに設定するための回路である。センサセルアレイ3内の予め決められた数画素分のセル、すなわちOB領域は、遮光板等によって遮光されており、その遮光されたセルの信号レベルに基づいて、有効画素領域の画素信号に対する適切な黒色レベル調整が行われる。

#### 【0017】

PGA18は、例えば1デシベル単位でゲインを調整するための増幅器である。PGA18によって増幅された信号は、ADC19へ供給される。ADC19はPGA18の出力をデジタル信号に変換する。

OB領域の画素については、その画素の輝度データが、ADC19からデジタル信号としてOB制御ロジック回路20に供給される。OB制御ロジック回路20は、タイミングジェネレータ26からの制御信号に基づいて、ADC19からの信号を入力し、黒レベルの調整をするためにOBクランプ回路17へ制御信号を出力する。

#### 【0018】

同様に、輝度測光ロジック回路22は、例えば、ADC19から供給される1フレーム内の全ての緑（G）の画素のデータに基づいて、輝度を測定し、輝度データを輝度制御ロジック21に供給する。

輝度制御ロジック回路21は、輝度測光ロジック回路22から供給される輝度データに基づいて、PGA18へゲイン制御信号を供給することによって、画像の明るさの調整を行う。さらに、輝度制御ロジック回路21は、レジスタ23へシャッタースピードのデータを書き込む。

#### 【0019】

なお、レジスタ14とレジスタ23は、互いに同じデータをストアするようになっているので、一方のレジスタの内容が変更されると、3線シリアルインターフェース15を介して、他方のレジスタの内容も変更される。よって、シャッタースピードのデータが、信号処理LSI2内のレジスタ23に書き込まれると、

さらに、そのデータは、3線シリアルインターフェース15を介して、イメージセンサLSI1内のレジスタ14に転送されて書き込まれる。イメージセンサLSI1では、シャッタースピードのデータに基づいて、フォーカルプレーンシャッターの設定が行われる。フォーカルプレーンシャッターの機能については後述する。

#### 【0020】

例えば、イメージセンサLSI1側では、シャッタースピードのデータに基づいて、フォーカルプレーンの読み出しラインとクリアラインの幅d1を制御する。画像が明るい場合のように、露光時間を短くする場合には、その幅d1を狭めるように、すなわち読み出しラインとクリアライン間のライン数を小さくするように、制御が行われる。また、画像が暗い場合のように、露光時間を長くする場合には、その幅d1を広げるように、すなわち読み出しラインとクリアライン間のライン数を大きくするように、制御が行われる。さらに、シャッタースピードの制御だけでは露光が適切でないときは、輝度制御ロジック回路21は、信号ゲインを調整することによって、信号量を適切になるように制御する。

#### 【0021】

信号処理LSI2には、システムクロック信号CLKINが供給され、そのシステムクロック信号CLKINに基づいて、タイミングジェネレータ26は、種々のタイミング信号を生成する。信号処理LSI2は、種々のタイミング信号の中から各種同期信号を、イメージセンサLSI1に供給する。同期信号としては、センサ駆動クロック信号SCLK、垂直同期信号VSYNC、水平同期信号HSYNCがある。イメージセンサLSI1はこれらの同期信号に基づいて同期を取って、画像信号を信号処理LSI2へ供給する。従って、SCLK、VSYNC、HSYNCの各信号は、システムクロック信号CLKINに依存する。

#### 【0022】

信号処理LSI2のレジスタ23には、各種パラメータ、例えば、全体に、あるいは部分的に明るくするためのパラメータ等が、I<sup>2</sup>C-Bus（アイスクエアバス）I/Fを介して入力され、ストアされる。

信号処理LSI2において、イメージプロセッサ24は、RGBの信号に基づ

いて画像を生成するための回路であり、シーケンサ 25 は、イメージプロセッサ 24 を駆動するための回路である。

#### 【0023】

イメージセンサ LSI 1 のタイミングジェネレータ 13 には、さらにクロック指定信号 CLK\_SEL が、入力されるようになっている。CLK\_SEL は、イメージセンサ LSI 1 が動作されるクロック周波数の指定を明示的に、イメージセンサ LSI 1 に知らせるすなわちイメージセンサ LSI 1 にクロックの高低指示を制御信号として入力する、ための信号である。CLK\_SEL に基づいて、タイミングジェネレータ 13 が各種制御信号の出力タイミングを変更する。さらに、タイミングジェネレータ 13 には、スタンバイ信号 STANDBY が入力される。

#### 【0024】

イメージセンサ LSI 1 のレジスタ 14 には、シャッタースピード、レギュレータの電圧設定、スキャン方向の指定、等のデータが 3 線シリアルインターフェース 15 を介して入力され、ストアされる。

また、イメージセンサ LSI 1 は、一つの制御信号として有効信号 VALID を信号処理 LSI 2 のタイミングジェネレータ 26 へ供給する。VALID は、イメージセンサ LSI 1 から有効な画像データが出力されていることを示す信号である。この信号がアクティブなときは、有効な画像データがイメージセンサ LSI 1 から出力されているので、そのデータを測光等に使用できることを、信号処理 LSI 2 は知ることができる。

#### 【0025】

次に、イメージセンサ LSI 1 の構成について説明する。図 2 は、イメージセンサ LSI 1 の構成を示す回路図である。

センサセルアレイ 3 は、 $m \times n$  ( $m$  行  $n$  列) 個のセル  $S_{11} \sim S_{mn}$  からなるマトリックスの固体撮像素子である。一つのセルが、一つの単位画素に対応する。各単位画素に対応する各セルは、フォトダイオード PDS と、光信号検出用絶縁ゲート型電界効果型トランジスタである MOS トランジスタ PDTr を含む。フォトダイオード PDS は、不純物拡散領域とウェル領域からなり、入射光に応

じてホール（正孔）がウエル領域内に生じる。そのウエル領域は、光信号検出用 MOS トランジスタ PDTr と共有されており、光信号検出用 MOS トランジスタ PDTr のゲート領域を構成する。フォトダイオード PDS の不純物拡散領域と、光信号検出用 MOS トランジスタ PDTr のドレイン拡散領域は、ウエル領域の表層に一体的に形成されている。ドレイン拡散領域は、リング状のゲート電極の外周部を取り囲むように形成されている。リング状のゲート電極の中心部にソース拡散領域が形成されている。ゲート電極下のウエル領域内であって、ソース拡散領域の周辺部に、ソース拡散領域を取り囲むようにキャリアポケットが形成されている。センサ構造の詳細は、特開平 11-195778 号公報に記載されている。

### 【0026】

センサセルアレイ 3 から光量に応じた信号を得るために、蓄積、読み出し及びクリアの 3 状態のそれぞれにおいて、各セルのゲート、ソース及びドレインに、所定のバイアス電圧を印加することによって、光量に応じた信号を得ることができる。簡単に言えば、蓄積状態のとき、フォトダイオード PDS に入射した光量に応じて生じたホールをキャリアポケットに蓄積させる。読み出し状態のとき、蓄積されたホールに基づいて信号電圧を読み出す。読み出された信号電圧は、ゲート電圧と、受光量に応じて変化した閾値との差に応じた電圧信号である。クリア状態のとき、昇圧回路 7 によって光信号検出用 MOS トランジスタ PDTr のソース電圧を所定の値に昇圧するとともに、リングゲート、ソース間のカップリング容量により、ゲート電圧も所定の値に昇圧され、光信号検出用 MOS トランジスタ PDTr がターンオンし、リングゲート下にチャンネルが形成される。従って、ドレイン電圧はソース電圧とほぼ等しい値（ドレイン電圧  $V_D = V_G - V_{th}$  でゲート電圧  $V_G$  がソース電圧より十分高い場合）となり、ソース、チャンネル、ドレイン下の空乏層が広がることによって、蓄積されたホールは基板方向へ掃き出され、ホール等の残留電荷を排出する。クリア後、ノイズ成分を含むオフセット電圧を読み出し、信号電圧とオフセット電圧との差分をとることによって、画像信号を得ることができる。各セルについて、上述した動作を行い、画像信号を得ることによって、2 次元の画像信号を得ることができる。バイアス条件、すなわち各状

態における各セルのゲート、ソース及びドレインのバイアス電圧については、後述する。

#### 【0027】

クリアライン用シフトレジスタ4は、クリアするラインを指定するための回路である。クリアライン用シフトレジスタ4には、クリアライン用シフトデータAV、クリアライン用シフトクロック信号VCLK\_\_ASR、クリアライン用シフトレジスタリセット信号VSFRA\_\_RSTが入力される。クリアライン用シフトレジスタ4は、マトリックス状のセンサセルアレイ3の中の、蓄積電荷をクリアするラインを選択するクリアライン選択信号VSA1ないしVSAmを出力する。

#### 【0028】

読み出しライン用シフトレジスタ5は、読み出しラインを指定するための回路である。読み出しライン用シフトレジスタ5には、読み出しライン用シフトデータBV、読み出しライン用シフトクロック信号VCLK\_\_BSR、読み出しライン用シフトレジスタリセット信号VSFRB\_\_RSTが入力される。読み出しライン用シフトレジスタ5は、マトリックス状のセンサセルアレイ3の中の、信号電圧を読み出すラインを選択する読み出しライン選択信号VSB1ないしVSBmを出力する。

#### 【0029】

シャッタースピードのデータに基づいて決められた出力タイミングでクリアライン用シフトデータAVと読み出しライン用シフトデータBVが与えられることによって、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。すなわち、読み出しライン用シフトデータBVは、垂直同期信号VSYNCに対して予め決められたタイミングで生成されるが、読み出しライン用シフトデータBVとクリアライン用シフトデータAVとの位相関係はシャッタースピードによって決定され、その位相関係を保った状態で、クリアライン用シフトレジスタ4と読み出しライン用シフトレジスタ5は、順番に選択信号を出力する。なお、後述するように、1フレーム中に読み出しラインとクリアラインが存在するときは、センサアレイの中の2つのラインが指定さ

れ、選択される。

### 【0030】

垂直ドライブ回路6は、ライン毎に、2つのAND回路31、32と、OR回路33と、バッファ回路34と、ドレイン・ゲート電圧供給回路VC1i（iは、1からmのいずれかである。以下、同じ。）とを含む。一つのAND回路31は、クリアライン選択信号VSAiとクリアライン選択イネーブル信号CLSとを入力とする。他方のAND回路32は、読み出しライン選択信号VSBiと、信号読み出し、クリア、ノイズ読み出しの3つの動作の読み出しライン選択イネーブル信号VSMとを入力とする。OR回路33は、各AND回路31、32の出力信号と蓄積時全ライン選択信号VGUPとを入力とする。バッファ回路34は、そのOR回路33からの出力信号を入力とする。各バッファ回路34の出力信号は、ライン選択信号VSCiとして、ドレイン・ゲート電圧供給回路VC1iへ供給される。

### 【0031】

ドレイン・ゲート電圧供給回路VC1iには、ライン選択信号VSCiに加えて、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR2及びクリアパルス信号CLが入力される。ドレイン・ゲート電圧供給回路VC1iは、対応するラインの全セルのゲート及びドレインに印加するための電圧を選択して出力する。すなわち、ドレイン・ゲート電圧供給回路VC1iは、各ラインの各セルに、ドレイン電圧VPDiと、ゲート電圧VPGiを供給する。このドレイン・ゲート電圧供給回路VC1iの詳細は後述する。

### 【0032】

ソース電圧供給回路VC2h（hは、1からnのいずれか。以下、同じ。）が、マトリックスの列毎に、設けられている。ソース電圧供給回路VC2hには、クリアパルス信号CL及びクリア前ゲートプリセット信号PRが入力される。ソース電圧供給回路VC2hは、各列の全セルのソースに、ソース電圧VPShを供給する。このソース電圧供給回路VC2hの詳細は後述する。

### 【0033】

各列に対応するソース線が蓄積信号用ラインメモリ9とオフセット信号用ライ

ンメモリ 10 とに、ラインメモリデータロード信号 LOAD が入力されるスイッチ SW1h を介して接続されている。

蓄積信号用ラインメモリ 9 は、各列に対応した選択回路 HS h を含む。各選択回路 HS h は、電荷蓄積用コンデンサ C 2 と、読み込み用スイッチ SW 2 1 と、リセット用スイッチ SW 2 2 と、出力用スイッチ SW 2 3 とを含む。

#### 【0034】

オフセット信号用ラインメモリ 10 は、各列に対応した選択回路 HN h を含む。各選択回路 HN h は、電荷蓄積用コンデンサ C 3 と、読み込み用スイッチ SW 3 1 と、リセット用スイッチ SW 3 2 と、出力用スイッチ SW 3 3 とを含む。

蓄積信号用ラインメモリ 9 への蓄積信号用ラインメモリデータロード信号 LOADS が入力されると、SW 2 1 がオンとなって、各ソース線から光量に応じた電圧がコンデンサ C 2 に与えられ、コンデンサ C 2 にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ 5 によって選択された 1 ライン分の画素信号が、LOADS に応じて、蓄積信号用ラインメモリ 9 にストアされる。

#### 【0035】

蓄積信号用ラインメモリ 9 への蓄積信号用ラインメモリリセット信号 RES S は、信号読み出し直前にコンデンサ C 2 を予め決められた電圧 VMPR にするための信号である。電圧 VMPR は、リセット用スイッチ SW 2 2 をオンにすることによって、レギュレータ 8 で生成された電源 3 5 からコンデンサ C 2 に供給される。

#### 【0036】

そして、水平シフトレジスタ 11 からの選択信号 HSCAN h によって、蓄積信号用ラインメモリ 9 の各選択回路 HS h のスイッチ SW 2 3 は順番にオンされていく。オンされた SW 2 3 は、コンデンサ C 2 に蓄積された電荷に応じた電圧を出力するので、読み出しライン用シフトレジスタ 5 で選択された 1 ラインの画素信号が、VOUTS 信号として順番に出力アンプ 3 6 を介して出力される。

#### 【0037】

オフセット信号用ラインメモリ 10 へのオフセット成分蓄積信号用ラインメモリデータロード信号 LOADN が入力されると、スイッチ SW 3 1 がオンとなっ



て、各ソース線からオフセット成分に応じた電圧が与えられ、コンデンサC3にその電圧に応じた電荷が蓄積される。読み出しライン用シフトレジスタ5によって選択された1ライン分の画素信号が、オフセット成分蓄積信号用ラインメモリデータロード信号LOADNに応じて、オフセット信号用ラインメモリ10にストアされる。オフセット信号用ラインメモリ10へのオフセット信号用ラインメモリリセット信号RESNは、オフセット成分の信号の読み出し直前にコンデンサC3を予め決められた電圧VMPRにするための信号である。電圧VMPRは、リセット用スイッチSW32をオンにすることによって、レギュレータ8で生成された電源37からコンデンサC3に供給される。

#### 【0038】

そして、水平シフトレジスタ11は、オフセット信号用ラインメモリ10の各選択回路HNhのスイッチSW33を順番にオンしていく。オンされたSW33は、コンデンサC3に蓄積された電荷に応じた電圧を出力させるので、読み出しライン用シフトレジスタ5で選択された1ラインの画素信号のオフセット成分の信号が、VOUTN信号として順番に出力アンプ38を介して出力される。イメージセンサLSI1からのVOUTSとVOUTNの2つの電圧アナログ信号は、信号処理LSI2の差分アンプ回路16に入力される。

#### 【0039】

図3は図2のドレイン・ゲート電圧供給回路VC11ないしVC1mの構成を示す回路図である。ドレイン・ゲート電圧供給回路VC1iは、NAND回路、インバータ回路、トランジスタを含み、各種入力信号に応じて、ドレイン電圧VPDとゲート電圧VPGを出力する。

各ドレイン・ゲート電圧供給回路VC1iには、クリアパルス信号CL、蓄積イネーブル信号SDI及び読み出しイネーブル信号SDR2が入力され、供給されているVCCSGHR、VCCSGHI、VCCSDR及びVCCSDIの電圧を用いて、後述する図5のバイアス電圧を発生し、各センサセルのドレインとゲートに与える。

#### 【0040】

センサセルアレイ3は、次のような状態を有する。これらの各状態は、詳細に

は、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)”及び“変調 (N)”の各状態を含み、これらの各状態の繰返しによって、光学像を電気信号に変換して出力する。蓄積イネーブル信号 S D I は、ローアクティブの信号であり、蓄積期間を示す信号である。読み出しイネーブル信号 S D R 2 は、蓄積期間以外の期間を示す信号 S D R を元に生成された信号であり、変調、オフセット変調及びクリア時にローアクティブとなる信号である。また、ライン選択信号 V S C i は、読み出しライン及びクリアラインの選択に用いられ、クリアパルス信号 C L は、蓄積されたホール等の残留電荷を排出する期間に設定される。

#### 【0041】

図3において、クリアパルス信号 C L が L レベルでライン選択信号 V S C i が H レベルになるものとする。この場合には、PMOS トランジスタ T1、NMOS トランジスタ T2 はオンとなり、PMOS トランジスタ T3 はオフとなる。そうすると、ゲート電圧 V P G i は電圧 V C C S G H I 又は電圧 V C C S G H R となる。なお、PMOS トランジスタ T1 はエンハンス型、NMOS トランジスタ T2 はディプレッション型の MOS トランジスタである。

#### 【0042】

逆に、クリアパルス信号 C L が H レベルでライン選択信号 V S C が L レベルの場合には、トランジスタ T1、T2 はオフとなり、トランジスタ T3 はオンとなる。この場合には、ゲート電圧 V P G i はローレベルの電圧となる。なお、クリアパルス信号 C L 及びライン選択信号 V S C i が H レベルの場合には、トランジスタ T1、T2、T3 はオフとなり、ゲートはフローティング状態となる。

#### 【0043】

また、クリアパルス信号 C L が L レベルの場合又はライン選択信号 V S C が L レベルの場合には、NMOS トランジスタ T5 はオンとなる。各ラインのトランジスタ T5 のソースは共通接続されて C O M ノードを構成する。トランジスタ T5 がオンの場合には、各ラインのドレインは C O M ノードに接続されてフローティング状態となる。トランジスタ T5 がオンの場合において、蓄積イネーブル信号 S D I が L レベルのときには、PMOS トランジスタ T6 と NMOS トランジスタ

タ T7 もオンとなって、ドレイン電圧  $V_{PDi}$  は電圧  $V_{CCSDI}$  となる。また、トランジスタ T5 がオン状態で、読み出しイネーブル信号  $SDR2$  が L レベルになると、PMOS トランジスタ T4 もオンとなって、ドレイン電圧  $V_{PDi}$  は電圧  $V_{CCSDR}$  となる。また、トランジスタ T4 ~ T7 のうちトランジスタ T5 のみがオン状態の場合には、全てのドレインはフローティング状態の COM ノードに接続されて  $Hiz$  となる。

#### 【0044】

なお、トランジスタ T1 には、蓄積イネーブル信号  $SDI$  が L レベルの場合には NMOS トランジスタ T8 はオンとなって電圧  $V_{CCSGHI}$  が供給され、信号  $SDR$  が L レベルの場合には NMOS トランジスタ T9 はオンとなって電圧  $V_{CCSGHR}$  が供給されるようになっている。

即ち、図 3 の回路は下記表 1 の状態を得る。なお、表 1 には、着目している信号の H レベルと L レベルのみ示されている。

#### 【0045】

(表 1)

$V_{SCi}$	$CL$	$SDI$	$SDR2$	$V_{PGi}$
L	L			L (GND)
L	H			L (GND)
H	L	L		$V_{CCSGHI}$
H	L		L	$V_{CCSGHR}$
H	H			フローティング
$V_{SCi}$	$CL$	$SDI$	$SDR2$	$V_{PDi}$
L		L		$V_{CCSDI}$
	L	L		$V_{CCSDI}$
L			L	$V_{CCSDR}$
	L		L	$V_{CCSDR}$
	L	H	H	$Hiz$

図 4 (a) は、図 2 のソース電圧供給回路  $VC21$  ないし  $VC2n$  の構成を示す回路図である。ソース電圧供給回路  $VC2h$  は、コンデンサとトランジスタを

含み、各種入力信号に応じて、ソース電圧  $V_{PSH}$  を出力する。

図4 (b) は、図4 (a) における  $S_1$ 、 $S_2$ 、 $S_3$  及び  $S_4$  の信号を生成するための回路を示す。

各ソース電圧供給回路  $VC2h$  は、クリアパルス信号  $CL$  の反転信号  $S_1 \sim S_3$  と、プリセット信号  $PR$  の正転信号  $S_4$  とが入力され、供給されている  $V_{CCSDB}$  及び  $V_{CCVPS}$  を用いて、図5の  $SOURCE$  バイアス電圧を発生して、各センサセルのソースに与える。

#### 【0046】

図4 (b) において、信号  $S_1 \sim S_3$  はクリアパルス信号  $CL$  の反転信号であり、プリセット信号  $PR$  の正転信号  $S_4$  は、クリア前ゲートプリセット信号  $PR$  と同一論理レベルの信号である。クリアパルス信号  $CL$  及びクリア前ゲートプリセット信号  $PR$  がいずれも  $L$  レベルの場合には、反転信号  $S_1 \sim S_3$  は  $H$  レベルであり、プリセット信号  $PR$  の正転信号  $S_4$  は  $L$  レベルである。従って、 $NMOS$  トランジスタ  $T_{11}$ 、 $T_{13}$  はオンであり、 $PMOS$  トランジスタ  $T_{12}$ 、 $T_{14}$  はオフであり、 $NMOS$  トランジスタ  $T_{15}$  はオフである。即ち、この場合には、トランジスタ  $T_{14}$ 、 $T_{15}$  がオフであるので、ソース電圧供給回路  $VC2h$  はソース電圧を供給しない。なお、この時点では、 $ND1$  点の電圧値はグラウンドレベル ( $GND$ ) であり、 $ND2$  点の電圧値は  $V_{CCSDB}$  である。

#### 【0047】

また、クリアパルス信号  $CL$  が  $L$  レベルで、クリア前ゲートプリセット信号  $PR$  が  $H$  レベルの場合には、反転信号  $S_1 \sim S_3$  及びプリセット信号  $PR$  の正転信号  $S_4$  は  $H$  レベルである。従って、トランジスタ  $T_{11}$ 、 $T_{13}$ 、 $T_{15}$  はオンであり、トランジスタ  $T_{12}$ 、 $T_{14}$  はオフである。即ち、この場合には、ソース電圧  $V_{PSH}$  は電圧  $V_{CCVPS}$  となり、また、 $ND1$  点の電圧値はグラウンドレベル ( $GND$ ) であり、 $ND2$  点の電圧値は  $V_{CCSDB}$  である。従って、この間、コンデンサ  $C1$  は電圧  $V_{CCSDB}$  まで充電される。

#### 【0048】

また、クリアパルス信号  $CL$  が  $H$  レベルで、クリア前ゲートプリセット信号  $PR$  が  $L$  レベルの場合には、反転信号  $S_1 \sim S_3$  及びプリセット信号  $PR$  の正転信

号 S4 は L レベルである。従って、トランジスタ T11, T13, T15 はオフであり、トランジスタ T12, T14 はオンである。即ち、この場合には、ND2 点の電圧がソース電圧  $V_{PSH}$  となる。仮に、この場合の直前に、コンデンサ C1 の電圧が  $V_{CCSDB}$  に充電されていれば、トランジスタ T12 がオンすることによって ND1 点は電圧  $V_{CCSDB}$  になるので、ND2 点の電圧値は  $V_{CCSDB} \times 2$  となる。

#### 【0049】

即ち、図4の回路は下記表2の状態を得る。

(表2)

	CL	PR	$V_{PSH}$
①	L	L	電圧を供給しない
②	L	H	$V_{CCVPS}$
③	H	L	②の状態直後であれば $V_{CCSDB} \times 2$

図5は、センサセルへ印加するバイアス電圧を説明するための図である。

図5は、各状態における、各セルのゲート電圧、ソース電圧及びドレイン電圧の電圧値を示す。なお、図5ではバイアス電圧の観点から、“蓄積”、“リセット(S)”、“変調(S)”、“プリセット”、“クリア”、“リセット(N)”及び“変調(N)”の各状態に分けて示している。

#### 【0050】

図5において、GATEは、セルのゲート電圧であり、選択状態と非選択状態の2つの状態を有する。SOURCEは、セルのソース電圧である。DRAINは、セルのドレイン電圧であり、選択状態と非選択状態の2つの状態を有する。

#### 【0051】

まず、蓄積状態の場合について説明する。

“蓄積”の状態(以下、蓄積状態という。)のとき、セルアレー中の全てのセルが選択状態とされ、電圧値が  $V_{CCSGHI}$  である電圧が、ゲートに印加される。蓄積状態のとき、非選択のセルはない。蓄積状態のとき、ソースは、ソース電圧供給回路  $V_{C2h}$  からのバイアス電圧の供給を受けないが、ゲートに  $V_{CCSGHI}$  の電圧が印加され、光信号検出用 MOS トランジスタ  $PDT_r$  がターン

オンしているので、ソース・ドレイン間が導通状態になり、蓄積状態ではソースはドレイン電圧 ( $V_{CCSDI}$ ) に等しくなる。

#### 【0052】

次に、“リセット (S)” の状態 (以下、RESS 状態と略す。) の場合について説明する。

選択状態のセルの場合、RESS 状態のとき、電圧値が  $L_o$  (L レベル) である電圧が、ゲートに印加される。RESS 状態のときは、電圧値が  $V_{MPR}$  である電圧が、ソースに印加される。選択状態のセルの場合、RESS 状態のとき、ゲートに  $L_o$  の電圧が印加され、光信号検出用 MOS トランジスタ  $PDT_r$  がオフしているので、ソース・ドレイン間が非導通状態になり、ドレインはハイインピーダンス ( $H_iZ$ ) となる。

#### 【0053】

また、非選択状態のセルの場合、RESS 状態のときは、電圧値が  $L_o$  (L レベル) である電圧が、ゲートに印加される。あるセルが非選択状態で、RESS 状態のときは、ドレインは  $H_iZ$  となる。

“変調 (S)” の状態 (以下、LOADS 状態と略す。) において、選択状態のセルの場合、電圧値が  $V_{CCSGHR}$  である電圧が、ゲートに印加される。選択状態のセルの場合、電圧値が  $V_{CCSDR}$  である電圧が、ドレインに印加され、電圧値が  $(V_{CCSGHR} - V_{thS})$  である電圧が、ソースに出力される。LOADS 状態では、 $(V_{CCSGHR} < V_{CCSDR})$  の関係が成り立つバイアス電圧を印加する必要がある。

#### 【0054】

また、非選択状態のセルの場合、LOADS 状態のとき、電圧値が  $L_o$  である電圧が、ゲートに印加され、電圧値が  $V_{CCSDR}$  である電圧が、ドレインに印加される。

続いて、“プリセット” の状態 (以下、PR 状態と略す。) の場合について説明する。

選択状態のセルの場合、PR 状態のとき、電圧値が  $V_{CCSGHR}$  である電圧が、ゲートに印加される。PR 状態のとき、電圧値が  $V_{CCVPS}$  である電圧が

、ソースに印加される。選択状態のセルの場合、PR状態のとき、光信号検出用MOSトランジスタPDTrがターンオンしているので、ドレインはソースと同じ電圧となる。

#### 【0055】

また、非選択状態のセルの場合、PR状態のとき、電圧値がLoである電圧が、ゲートに印加され、ドレインはVCCVPSとなる。VSCiがLoレベルのライン(=非選択ライン)はT5がターンオンし、各ラインが共通ノード(COMノード)に接続されてCOMノードがHiZとなる。

#### 【0056】

“クリア”の状態(以下、CL状態と略す。)において、選択状態のセルの場合、電圧値が( $VCCSDB \times 2$ )である電圧が、ソースに印加され、光信号検出用MOSトランジスタPDTrがターンオンしているので、ドレインはソースと同じ電圧となる。その結果、電圧値が( $VCCSGHR + VCCSDB \times 2$ )の電圧が、ゲートに印加される。

#### 【0057】

また、非選択状態のセルの場合、CL状態のとき、電圧値がLoである電圧が、ゲートに印加され、電圧値がVCCSDRである電圧が、ドレインに印加される。

次に、“リセット(N)”の状態(以下、RESN状態と略す。)の場合について説明する。

選択状態のセルの場合、RESN状態のとき、電圧値がLoである電圧が、ゲートに印加される。RESN状態のとき、電圧値がVMPRである電圧が、ソースに印加される。選択状態のセルの場合、RESN状態のとき、ドレインはHiZとなる。

#### 【0058】

また、非選択状態のセルの場合、RESN状態のとき、電圧値がLoである電圧が、ゲートに印加される。非選択状態のセルの場合、RESN状態のとき、ドレインはHiZとなる。

なお、クリアパルス信号CLがLレベルの期間では、図3のNMOSトランジ

スタ T5 がターンオンしている。従って、RESS 状態でも NMOS トランジスタ T5 はターンオンしてドレインは COM ノードに接続される。読み出しイネーブル信号 SDR 2 は、RESS 状態と RESN 状態で H レベルとなるので、PMOS トランジスタ T4 がターンオフし、COM ノードはフローティングとなる。

#### 【0059】

“変調 (N)” の状態 (以下、LOADN 状態と略す。) において、選択状態のセルの場合、電圧値が  $VCCSGHR$  である電圧が、ゲートに印加される。LOADN 状態のとき、電圧値が  $VCCSDR$  である電圧が、ドレインに印加され、電圧値が  $(VCCSGHR - V_{thN})$  である電圧が、ソースに出力される。

また、非選択状態のセルの場合、LOADN 状態のとき、電圧値が  $L_0$  である電圧が、ゲートに印加され、電圧値が  $VCCSDR$  である電圧が、ドレインに印加される。

LOADS 状態と同様に、LOADN 時も図 3 の T5 がターンオンしているのでドレインは COM ノード (=  $H_iZ$ ) に接続される。

#### 【0060】

図 6 は、センサの読み出しラインとクリアラインを説明するための図である。

図 6 に示すように、 $m \times n$  の画素マトリックスにおいて、各ラインが第 1 のラインから第  $m$  のラインまで順番に走査される。読み出しラインは、光量に応じた信号が読み出されるラインであり、クリアラインは、各セルに蓄積された電荷がクリアされるラインである。第 1 ラインから順番に走査が行われるので、クリア用選択信号に基づいてクリアされたラインの各セルに、その後に受光した光量に応じてホールが生成される。クリア後、読み出しライン選択信号  $VSBi$  によって読み出されるまでの時間が露出時間となる。露出時間は、読み出しラインとクリアライン間のライン数  $d1$  に比例し、シャッタースピードの設定、すなわち、 $1H$  ( $H$  は水平ライン数を示す。以下同じ。) から  $mH$  の範囲 (あるいは  $(1 \text{ フレーム} + 1H)$  以上でもよい) の設定によって変更することができる。

#### 【0061】



図 7 は、垂直同期信号 V S Y N C と水平同期信号 H S Y N C のタイミングを示すタイミングチャートである。

垂直同期信号 V S Y N C は、周期  $t_1$  毎に発生される、 $t_2$  時間長さのタイミングパルスである。水平同期信号 H S Y N C は、周期  $t_3$  毎に発生される、 $t_4$  時間長さのタイミングパルスである。垂直同期信号 V S Y N C と水平同期信号 H S Y N C は、信号処理 L S I 2 のタイミングジェネレータ 26 からイメージセンサ L S I 1 へ供給される。

#### 【0062】

垂直同期信号 V S Y N C が供給されると、読み出しライン用シフトレジスタ 5 は、選択信号 V S B i を順次出力する。垂直同期信号 V S Y N C の供給後の周期  $t_1$  内において、水平同期信号 H S Y N C が、センサセルアレイ 3 のライン数 ( $=m$ ) だけ出力される。そして、水平同期信号 H S Y N C が出力されている期間  $t_4$  内であってかつ V G U P が L の期間に、上述した信号成分の読み出し、クリア、そしてオフセット成分の読み出しの動作が行われる期間が存在する。この V G U P が L の期間は、H ブランキング期間中の所定の期間に設定される。H ブランキング期間については、後で図 9 を用いて詳述する。

#### 【0063】

周期  $t_3$  内の期間  $t_4$  後の期間  $t_5$  内に、 $n$  個の信号成分とオフセット成分のアナログ信号 V O U T S と V O U T N が出力される。

次に、イメージセンサ L S I 1 のタイミングジェネレータ（以下、T G という）13 の回路構成について図 8 を参照して説明する。

図 8 は、図 1 のイメージセンサ L S I 1 の T G 13 の構成を示す回路ブロック図である。

#### 【0064】

T G は、シリアルコントロールブロック 71、マスタタイミング制御ブロック 72、センサレジスタブロック 73、シャッターコントロール部（シャッタスピード上限制御部）74、フレームコントロール部 75、H・V カウンタ 76、垂直スキャン制御ブロック 77、水平スキャン制御ブロック 78、アナログ制御ブロック 79 を含む。

**【0065】**

シリアルコントロールブロック 71 には、当該シリアルコントロールブロック 71 と、信号処理 L S I 2 のレジスタ 14 との間のインターフェース信号である 3 線シリアル I / F 信号が入出力される。

マスタタイミング制御ブロック 72 には、信号処理 L S I 2 の T G 26 からセンサ駆動クロック S C L K、水平同期信号 H S Y N C 及び垂直同期信号 V S Y N C が入力される。また T G 13 には、信号処理 L S I 2 からのクロック指定信号 C L K \_ S E L と、スタンバイ信号 S T A N D B Y が入力されている。

**【0066】**

シリアルコントロールブロック 71 は、信号処理 L S I 2 のレジスタ 23 に書き込まれているシャッタスピードの設定データ、レギュレータ 8 の設定データ及びシステムクロック情報などをシリアル I / F 信号として入力し、これらのデータについてライトデータ、ライトアドレス及びライトストロブ信号 W R を出力し、センサレジスタブロック 73 に供給する。

前記センサレジスタブロック 73 は、上記の入力信号に応じて、ラインシャッタスピード設定信号、フレームシャッタスピード設定信号、フレームモード設定信号、クリアパルス幅制御設定信号、クリアパルス印加回数設定信号、ゲイン設定信号及びレギュレータ電圧設定信号を出力する。

一方、マスタタイミング制御ブロック 72 は、前述の各種入力信号に基づいて、ピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号を出力する。

**【0067】**

シャッタコントロール部（シャッタスピード上限制御部）74 には、センサレジスタブロック 73 からのラインシャッタスピード設定信号及びフレームシャッタスピード設定信号が入力され、出力としてラインシャッタスピードデータ及びフレームシャッタスピードデータを出力する。

フレームコントロール部 75 には、前記マスタタイミング制御ブロック 72 からのピクセルクロック、垂直リセットパルス及びリセット信号と、前述のスタンバイ信号 S T A N D B Y が入力され、出力としてフレームカウント値、フレーム

制御データ及びバリッド (VALID) 制御信号を出力する。

また、H・Vカウンタ76には、前記マスタタイミング制御ブロック72からのピクセルクロック、水平リセットパルス、垂直リセットパルス及びリセット信号が入力され、出力としてラインカウント値及びピクセルカウント値を出力する。

#### 【0068】

垂直スキャン制御ブロック77には、入力として、前記シャッタコントロール部74からのラインシャッタスピードデータ及びフレームシャッタスピードデータ、前記フレームコントロール部75からのフレームカウント値、フレーム制御データ及びバリッド (VALID) 制御信号、前記センサレジスタブロック73からのクリアパルス幅制御設定信号及びクリアパルス印加回数設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号CLK\_\_SEL、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値が入力される。

#### 【0069】

垂直スキャン制御ブロック77は、出力としてクリアライン用シフトデータAV、クリアライン用シフトクロックVCLK\_\_ASR、クリアライン用シフトレジスタリセット信号VSFRA\_\_RST、クリアライン選択イネーブル信号CLS、読み出しライン用シフトデータBV、読み出しライン用シフトクロックVCLK\_\_BSR、読み出しライン用シフトレジスタリセット信号VSFRB\_\_RST、読み出しライン選択イネーブル信号VSM、蓄積時全ライン選択信号VGUP、蓄積イネーブル信号SDI、読み出しイネーブル信号SDR、クリア前ゲートプリセット信号PR、クリアパルスCLを出力する。

#### 【0070】

水平スキャン制御ブロック78には、入力として、前記フレームコントロール部75からのバリッド (VALID) 制御信号、前記H・Vカウンタ76からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック73からのクリアパルス幅制御設定信号、前記マスタタイミング制御ブロック72からのピクセルクロック及びリセット信号、クロック指定信号CLK\_\_SELが入力

される。

#### 【0071】

水平スキャン制御ブロック 78 は、出力としてラインメモリ選択用シフトデータ AH、ラインメモリ選択用シフトクロック CIN、ラインメモリ選択イネーブル信号 HSC\_\_CK、蓄積信号用ラインメモリリセット信号 RESS、蓄積信号用ラインメモリデータロード信号 LOADS、オフセット用ラインメモリリセット信号 RESN、オフセット用ラインメモリデータロード信号 LOADN を出力する。

#### 【0072】

上記のクロック指定信号 CLK\_\_SEL は、システムクロック信号 CLKIN の周波数の高低を示す信号であるが、この CLK\_\_SEL は垂直スキャン制御ブロック 77 及び水平スキャン制御ブロック 78 に供給されている。各制御ブロック 77 及び 78 では、クロック指定信号 CLK\_\_SEL の H、L レベルに応じて各ブロック 77 及び 78 から出力される各種センサ駆動信号の出力タイミングを制御できるようになっている。

#### 【0073】

アナログ制御ブロック 79 には、前記フレームコントロール部 75 からのバリッド (VALID) 制御信号、前記 H・V カウンタ 76 からのラインカウント値及びピクセルカウント値、前記センサレジスタブロック 73 からのゲイン設定信号、スタンバイ信号 STANDBY が入力され、出力としてアナログアンプゲイン制御信号、アンプ用駆動クロック CDL、スタンバイ制御信号を出力する。

#### 【0074】

そして、前記フレームコントロール部 75 からのバリッド (VALID) 制御信号は VALID 信号として TG13 から信号処理 LSI2 へ出力されるようになっている。

また、前記センサレジスタブロック 73 からのレギュレータ電圧設定信号と、前記アナログ制御ブロック 79 からのスタンバイ制御信号とは、図 1 のイメージセンサ LSI1 のセンサ駆動バイアス発生用レギュレータ 8 に入力される。

#### 【0075】

前記アナログ制御ブロック 79 からのアナログアンプゲイン制御信号とアンプ用駆動クロック C D L とは、図 1 のイメージセンサ L S I 1 の出力アンプ 12 の制御用信号となる。

図 9 はセンサセルアレイ 3 の光電変換を制御する各信号を示すタイミングチャートである。センサセルアレイ 3 は、“蓄積”、“リセット (S)”、“変調 (S)”、“プリセット”、“クリア”、“リセット (N)” 及び “変調 (N)” の各状態の繰返しによって、光学像を電気信号に変換して出力する。図 9 はこれらの各状態における信号の様子を示している。センサセルアレイ 3 は、図 7 の垂直同期信号 V S N Y C 及び水平同期信号 H S Y N C を単位時間とした所定のフレームレートで動作する。

#### 【0076】

図 9 の例では、あるラインカウント信号 R O W C T において、H S Y N C が、ピクセルクロック信号 P X L C T が 1 から 80 まで L レベルであり、さらに P X L C T が 5 から 22 までが L O A D S (リセット (S) + 変調 (S)) 状態に、P X L C T が 27 から 44 までが C L (プリセット + クリア) 状態に、P X L C T が 45 から 63 までが L O A D N (リセット (N) + 変調 (N)) 状態に割り当てられている。

#### 【0077】

なお、各制御信号は T G 13 によって生成され出力される。T G 13 は、論理回路で構成されるが、その論理回路は、V e r i l o g - H D L、V H D L 等の H D L (H a r d w a r e D e s c r i p t i o n L a n g u a g e : ハードウェア記述言語) を利用した設計システムを用いれば、自動設計することができる。

#### 【0078】

先ず、蓄積状態について説明する。

図 7 に示す H ブランキング期間中の所定期間 (図 9 の第 5 ピクセル～第 63 ピクセル) 以外の期間が蓄積期間である。蓄積期間には、全画素が蓄積状態となる。この期間には、蓄積時全ライン選択信号 V G U P は H レベルで、蓄積イネーブル信号 S D I 及びクリアパルス信号 C L は L レベルである。図 2 に示すように、

蓄積時全ライン選択信号  $V_{GUP}$  が H レベルとなることによって全てのライン選択信号  $V_{SCi}$  が H レベルとなり、ドレイン・ゲート電圧供給回路  $VC1i$  の動作を示す上記表 1 に示すように、ゲート電圧  $V_{PGi}$  は  $V_{CCSGHI}$  となる。また、ドレイン電圧  $V_{PDi}$  は電圧  $V_{CCSDI}$  となる。また、この期間には、クリア前ゲートプリセット信号  $PR$  も L レベルであり、ソース電圧供給回路  $VC2h$  の動作を示す上記表 2 に示すように、ソース電圧供給回路  $VC2h$  はソース電圧を供給しない。この場合には、セルアレー中の全てのセルのソースは、光信号検出用 MOS トランジスタ  $PDT_r$  がターンオンしドレイン電圧に一致する。

#### 【0079】

H ブランキング期間の第 5 ピクセルにおいて蓄積期間は終了し信号読み出しが開始される。この信号読み出しのための期間 ( $LOADS$ ,  $CL$ ,  $LOADN$  期間) においても、受光光量に基づくホールの蓄積は継続されるが、各セルは蓄積期間とは異なる設定値に設定される。また、信号読み出しのための期間には、クリアライン、読み出しライン又は非選択ラインでは、各セルは個別の設定値に設定される。

#### 【0080】

先ず、リセット ( $s$ ) 状態について説明する。図 9 に示すように、この期間においても、全てのセルに共通の設定が行われる。

図 9 に示すように、クリアパルス信号  $CL$  及びクリア前ゲートプリセット信号  $PR$  は L レベルであり、ソース電圧供給回路  $VC2h$  はソース電圧を供給しない。この期間においては、蓄積信号用ラインメモリリセット信号  $RESS$  がハイアクティブとなり、図 2 のスイッチ  $SW22$  がオンとなって、ラインメモリを構成するコンデンサ  $C2$  の端子電圧は  $V_{MPR}$  にチャージされる。更に、蓄積信号用ラインメモリデータロード信号  $LOADS$  及びラインメモリデータロード信号  $LOAD$  もハイアクティブとなり、スイッチ  $SW21$  及びスイッチ  $SW11$  がオンとなって、ソースラインを電圧  $V_{MPR}$  で初期化する。

#### 【0081】

一方、蓄積時全ライン選択信号  $V_{GUP}$  は H から L に変化し、全てのライン選択信号  $V_{SCi}$  は L レベルに変化する。従って、表 1 に示すように、ゲート電圧

VPSGiは全てL (GND) レベルとなる。また、蓄積イネーブル信号SDIはHレベルであり、SDR2もHレベルであるため、表1に示すように、図3中のT5がターンオンしているので、全てのセルのドレインは共通に接続され (COMノード)、そのCOMノードはHiZ状態となる。

#### 【0082】

次に、変調 (s) 状態について説明する。

図9に示すように、CL, PRはLレベルを維持しており、ソース電圧供給回路VC2hはソースラインに電圧を供給していない。各セルに設定した電圧値に応じた出力がソースラインを介して出力される。即ち、クリアライン及び非選択ラインについてはライン選択信号VSCiはLレベルのままであり、ゲート電圧はL (GND) レベルである。また、読み出しイネーブル信号SDR2もLレベルであるので、ドレイン電圧VPDiはVCCSDRとなる。

#### 【0083】

読み出しラインについてはライン選択信号VSCiはHレベルである。クリアパルス信号CL及び信号SDRがLレベルであるので、ゲート電圧VPGiはVCCSGHRである。ドレイン電圧VPDiはVCCSDRである。これにより、ソース電圧VPSiには電圧 ( $VCCSGHR - V_{thS}$ ) が現れる。なお、 $V_{thS}$ は、蓄積されたホールに応じて変化する。ソースラインの電圧 ( $VCCSGHR - V_{thS}$ ) は、スイッチSW21を介してラインメモリを構成する各コンデンサC2に蓄積される。

#### 【0084】

次に、相関2重サンプリング処理のために、読み出しラインの各セルに蓄積されているホールを除去 (クリア) するためのCL状態を設定する。ホールの除去のためには極めて高い電圧をゲートに印加する必要がある、クリア状態の前にプリセット状態を設定して、倍圧回路を利用して高電圧を得るようになっている。なお、読み出しラインのクリアと同時にクリアラインの各セルのクリアも行うようになっている。

#### 【0085】

先ず、プリセット状態においては、読み出しラインとクリアラインについては

、ライン選択信号  $VSC_i$  は H レベルである。クリアパルス信号  $CL$  及び信号  $SDR$  は L レベルであるので、ゲート電圧  $VPG_i$  は  $VCCSGHR$  である。なお、非選択ラインについては、ライン選択信号  $VSC_i$  が L レベルであるので、ゲート電圧は L (GND) レベルである。

また、クリアパルス信号  $CL$  は L レベルで、クリア前ゲートプリセット信号  $PR$  は H であるので、表 2 に示すように、全ソースラインの電圧  $VPSh$  は電圧  $VCCVPS$  (例えば 0 V) にリセットされる。また、図 4 のコンデンサ  $C1$  は電圧  $VCCSDB$  がチャージされ、ND 2 点は電圧  $VCCSDB$  となる。なお、蓄積イネーブル信号  $SDI$  及び読み出しイネーブル信号  $SDR2$  は H レベルであるので、ドレインは、光信号検出用 MOS トランジスタ  $PDT_r$  がターンオンして、ソースと同電位になる。

#### 【0086】

次に、クリア状態においては、クリア前ゲートプリセット信号  $PR$  が H レベルから L レベルに変化し、クリアパルス信号  $CL$  が L レベルから H レベルに変化する。この場合には、表 2 に示すように、ソースラインは電圧  $VCCSDB \times 2$  に変化する。また、読み出しラインとクリアラインについては、クリアパルス信号  $CL$  及びライン選択信号  $VSC_i$  が H レベルであるので、表 1 に示すように、ゲートはフローティング状態となる。従って、ソースとゲートとのカップリング容量によって、ゲート電圧  $VPG_i$  は  $(VCCSDB \times 2 + VCCSGHR)$  となる。また、ドレインはプリセット状態時と同様に、光信号検出用 MOS トランジスタ  $PDT_r$  がターンオンして、ソースと同電位になる。

#### 【0087】

一方、非選択ラインについては、ゲート電圧  $VPG_i$  は L (GND) レベルのままであり、ドレイン電圧  $VPDi$  は、トランジスタ  $T4$  がオンとなるので、 $VCCSDR$  となる。

次に、リセット (N) 状態を経て、変調 (N) 状態に移行する。これらのリセット (N) 状態及び変調 (N) 状態は、夫々リセット (s) 状態及び変調 (s) 状態と略同様の信号が設定される。即ち、リセット (N) 状態においては、蓄積信号用ラインメモリリセット信号  $RESS$ 、蓄積信号用ラインメモリデータロー



ド信号LOADSに夫々代えてオフセット用ラインメモリリセット信号RESN, オフセット用ラインメモリデータロード信号LOADNがハイアクティブとなる。これにより、スイッチSW32がオンとなって、ノイズ読み出し用のラインメモリを構成するコンデンサC3がVMPRにチャージされる。更に、スイッチSW31及びスイッチSW11がオンとなって、ソースラインは電圧VMPRで初期化される。

#### 【0088】

変調(N)状態においては、クリアパルス信号CL, クリア前ゲートプリセット信号PRはLレベルであり、ソース電圧供給回路VC2hはソースラインに電圧を供給しない。クリアライン及び非選択ラインについてはライン選択信号VSCiはLレベルであり、ゲート電圧VPGiはL(GND)である。また、読み出しイネーブル信号SDR2もLレベルであるので、ドレイン電圧VPDiはVCCSDRとなる。

#### 【0089】

読み出しラインについてはライン選択信号VSCiはHレベルである。クリアパルス信号CL及び信号SDRがLレベルであるので、ゲート電圧VPGiはVCCSGHRである。ドレイン電圧VPDiはVCCSDRである。これにより、ソース電圧VPShには電圧( $VCCSGHR - V_{thN}$ )が現れる。このソースに現れる電圧は、直前にクリア状態に設定されていることから、オフセット成分に対応したものとなっている。ソースラインの電圧( $VCCSGHR - V_{thN}$ )は、スイッチSW31を介してラインメモリを構成する各コンデンサC3に蓄積される。

#### 【0090】

こうして、コンデンサC2には信号成分が蓄積され、コンデンサC3にはオフセット成分が蓄積される。水平シフトレジスタ11からの選択信号HSCANhによって、スイッチSW23, SW33が順番にオンになることで、コンデンサC2, C3に蓄積された電圧が夫々出力アンプ36, 38を介してVOUTS, VOUTNとして出力される。

#### 【0091】

次に、ドレイン・ゲート電圧供給回路  $V C 1 1$  ないし  $V C 1 m$  の構成の変形例を図 10 を用いて説明する。

図 10 に示すドレイン・ゲート電圧供給回路  $V C 1 i$  は、NOR 回路、NAND 回路、インバータ回路、トランジスタを含み、各種入力信号に応じて、ドレイン電圧  $V P D$  とゲート電圧  $V P G$  を出力する。図 10 の回路は、図 3 の構成と異なり、ゲート電圧  $V P G i$  として、3 つの異なる電圧が供給されるように構成されている。

#### 【0092】

各ドレイン・ゲート電圧供給回路には、クリアパルス信号  $C L$ 、蓄積イネーブル信号  $S D I$  及び読み出しイネーブル信号  $S D R 2$  が入力され、供給されている  $V C C S G H I$ 、 $V C C S G H R$ 、 $V C C S G H P R$ 、 $V C C S D R$  及び  $V C C S D I$  の電圧を用いて、各バイアス電圧が、各センサセルのドレインとゲートに与えられる。

図 10 において、クリアパルス信号  $C L$  が L レベルでライン選択信号  $V S C i$  が H レベルになるものとする。この場合には、NMOS トランジスタ  $T 22$  はオンとなり、NMOS トランジスタ  $T 23$  はオフとなる。

#### 【0093】

このとき、 $V G U P$  が H レベルであると、PMOS トランジスタ  $T 28$  がオンとなって、ゲート電圧  $V P G i$  は電圧  $V C C S G H I$  となる。また、 $S D R 2$  又は  $C L$  が L レベルであると、PMOS トランジスタ  $T 28$  がオンとなり、ゲート電圧  $V P G i$  は  $V C C S G H I$  となる。さらに、 $P R$  と  $V S C i$  が H レベルであると、PMOS トランジスタ  $T 21$  がオンとなって、ゲート電圧  $V P G i$  は  $V C C S G H P R$  となる。

#### 【0094】

逆に、クリアパルス信号  $C L$  が H レベルでライン選択信号  $V S C i$  が L レベルの場合には、トランジスタ  $T 22$  はオフとなり、トランジスタ  $T 23$  はオンとなる。この場合には、ゲート電圧  $V P G i$  はローレベルの電圧となる。なお、クリアパルス信号  $C L$  及びライン選択信号  $V S C i$  が H レベルの場合には、トランジスタ  $T 23$  はオフとなり、ゲートはフローティング状態となる。

**【0095】**

また、クリアパルス信号CLがLレベルの場合又はライン選択信号VSCがLレベルの場合には、NMOSトランジスタT25はオンとなる。この場合において、蓄積イネーブル信号SDIがLレベルのときには、NMOSトランジスタT27もオンとなって、ドレイン電圧VPDiは電圧VCCSDIとなる。また、トランジスタT25がオン状態で、読み出しイネーブル信号SDR2がLレベルになると、PMOSトランジスタT24もオンとなって、ドレイン電圧VPDiは電圧VCCSDRとなる。また、トランジスタT24～T27のうちトランジスタT25のみがオン状態の場合には、全てのセルのドレインは共通に接続され（COMノード）、そのCOMノードはHiZ状態となる。

**【0096】**

以上のように、センサセルアレイ3の各セルのゲートに印加するゲート電圧VPGiは、3つの電源から選択されて供給されるように構成されている。従って、各状態において、各セルのゲートに異なる電圧が供給されるので、読み出し時のゲート電圧を高くすることが可能となるので、良好な画像を出力されることができる。

**【0097】**

以上のように、上述した実施の形態によれば、適切なゲート電圧の供給を行うので、良質な画像を得られるようにするための画像処理装置を実現できる。

尚、上記の実施の形態は、固体撮像素子として閾値電圧変調方式のMOS型イメージセンサを例に説明したが、閾値電圧変調方式のMOS型イメージセンサに限定されるものではなく、他の方式のイメージセンサについても適応可能であることは言うまでも無い。

**【図面の簡単な説明】**

【図1】本発明の実施の形態に係わる画像処理装置の構成を示すブロック図。

【図2】本発明の実施の形態に係わるイメージセンサLSIの構成を示す回路図。

。

【図3】ドレイン・ゲート電圧供給回路の構成を示す回路図。

【図4】ソース電圧供給回路の構成を示す回路図。

【図5】 センサセルへ印加するバイアス電圧を説明するための図。

【図6】 センサの読み出しラインとクリアラインを説明するための図。

【図7】 垂直同期信号と水平同期信号のタイミングを示すタイミングチャート。

【図8】 イメージセンサ L S I のタイミングジェネレータの回路ブロック図。

【図9】 Hブランキング期間における各信号のタイミングチャート。

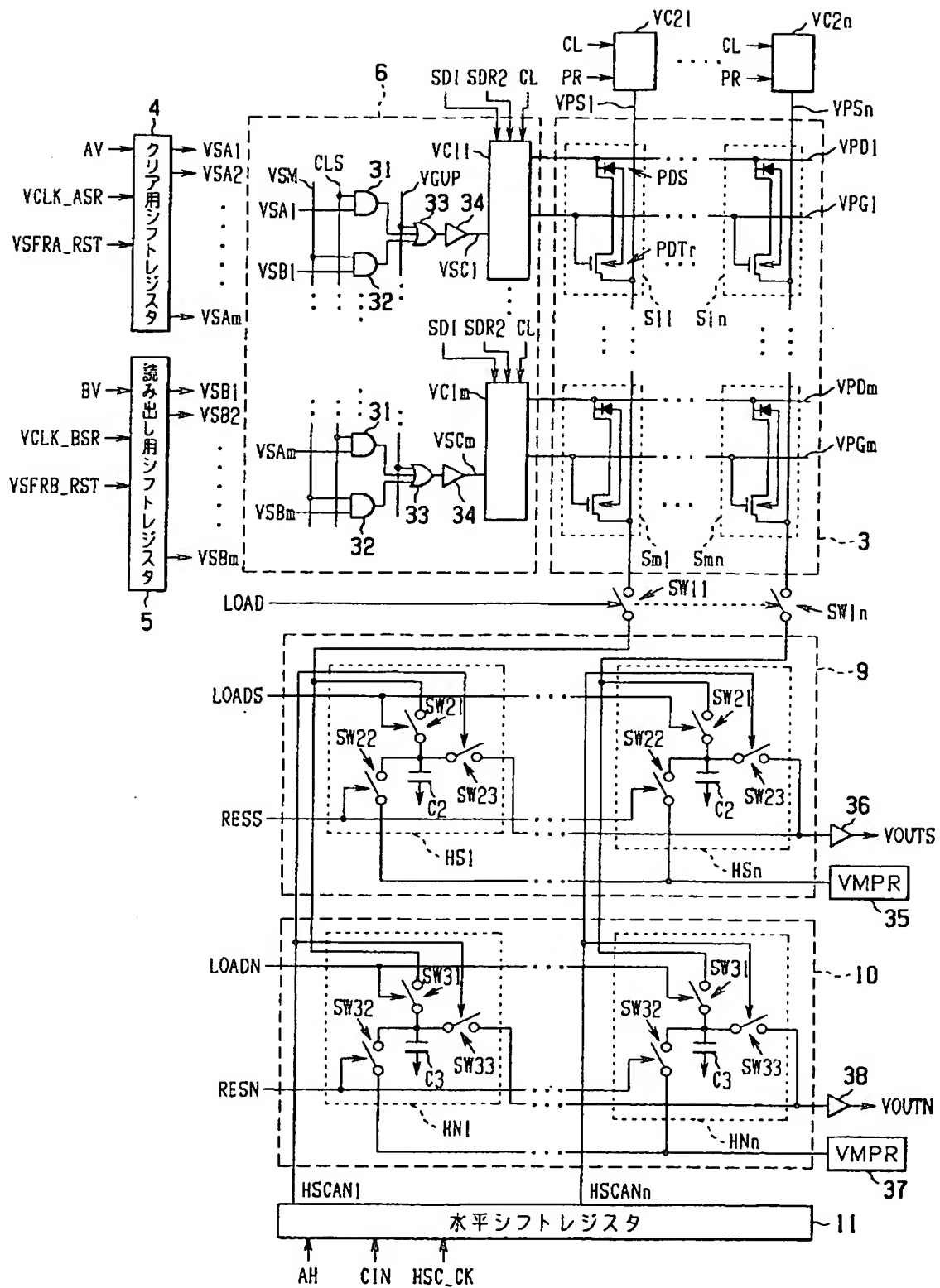
【図10】 ドレイン・ゲート電圧供給回路の変形例の構成を示す回路図。

【符号の説明】

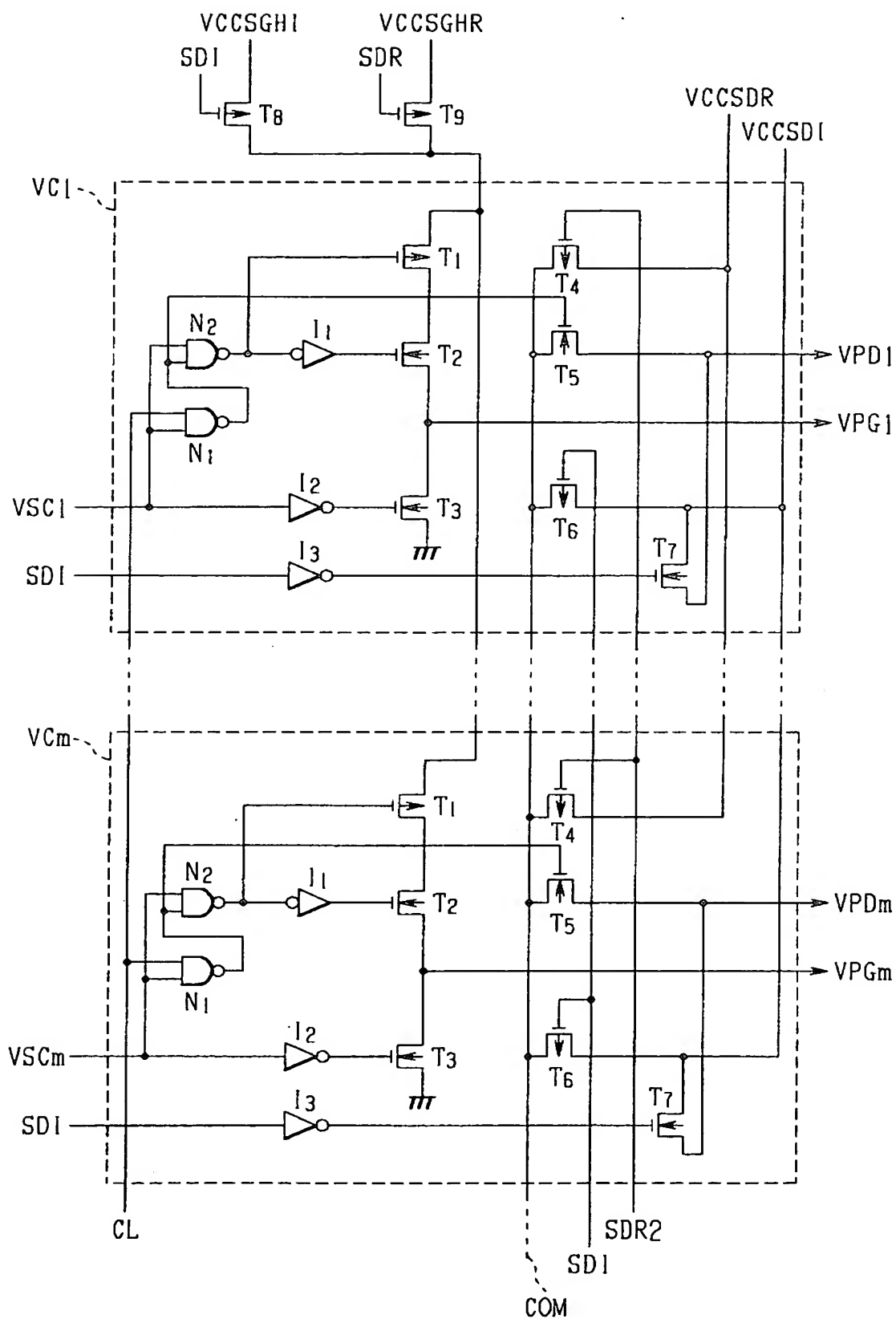
1 イメージセンサ L S I、2 信号処理 L S I、3 センサセルアレイ、6  
垂直ドライブ回路、9 蓄積信号用ラインメモリ、10 オフセット信号用ライ  
ンメモリ、13 タイミングジェネレータ



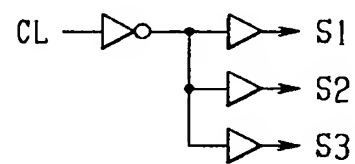
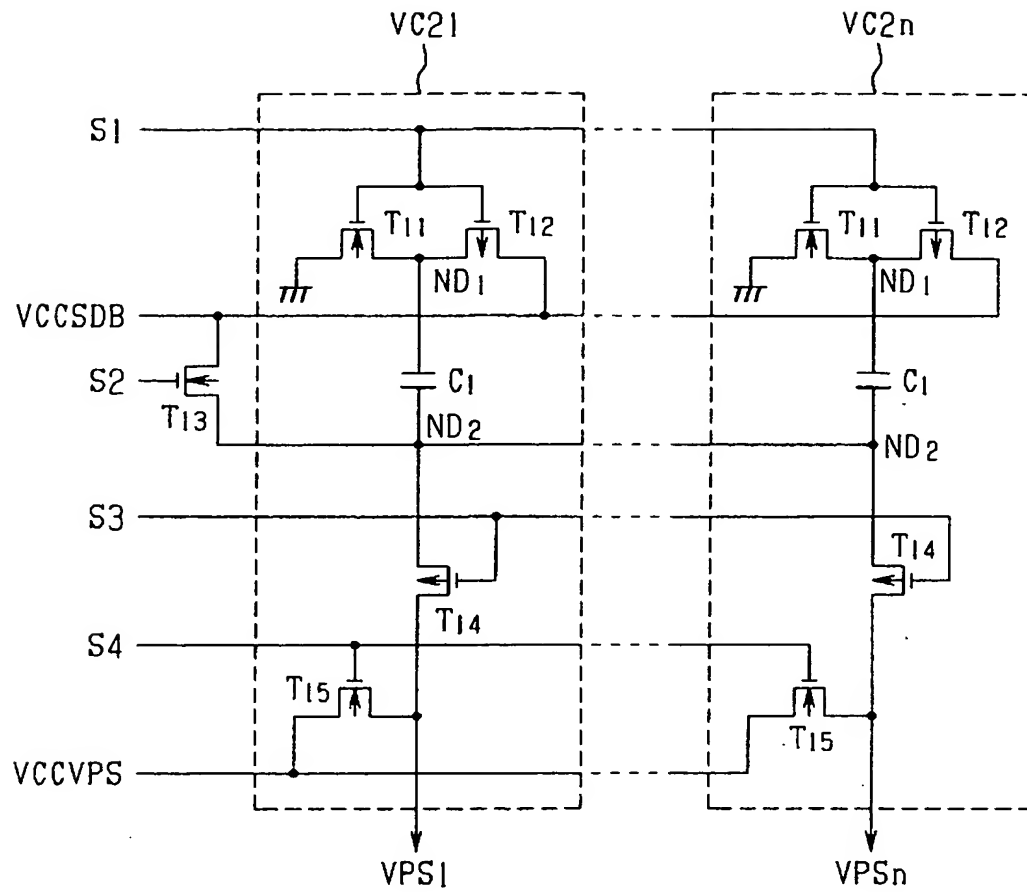
【図 2】



【図 3】



【圖 4】



(b)

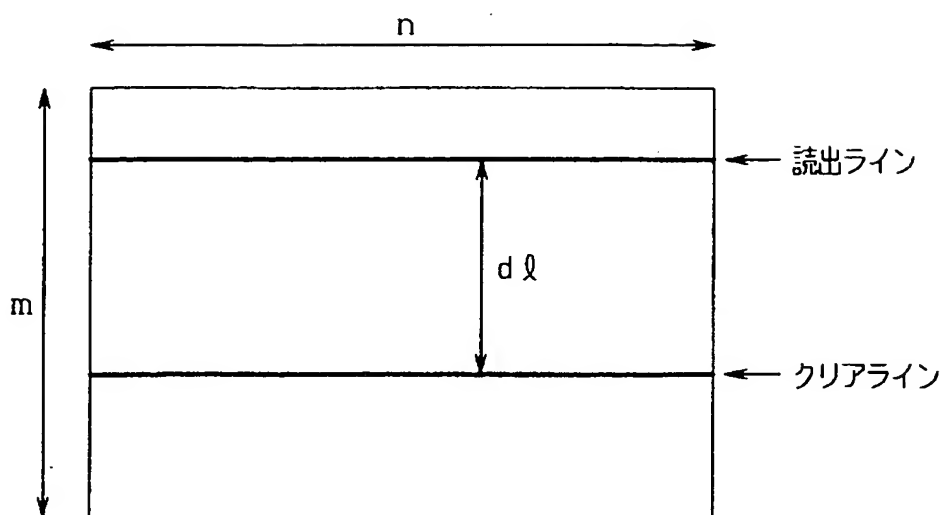


【図 5】

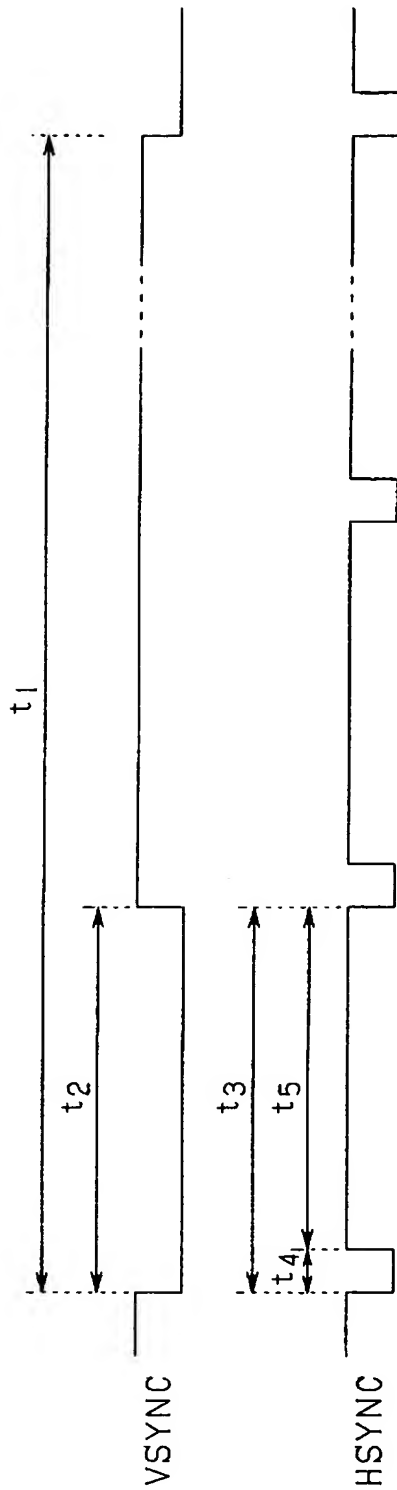
センサーバイアス状態

	状態	蓄積	RESS	LOADS	PR	CL	RESN	LOADN
GATE	選択	VCCSGHI	Lo	VCCSGHR	VCCSGHR	VCCSGHR+ VCCSDB X 2	LoI	VCCSGHR
	非選択		Lo	Lo	Lo	Lo	Lo	Lo
SOURCE	選択	ターンオン (VCCSDI)	VMPR	VCCSGHR-VthS	VCCVPS	VCCSDB X 2	VMPR	VCCSGHR-VthN
DRAIN	選択	VCCSDI	HiZ	VCCSDR	ターンオン (VCCVPS)	ターンオン (VCCSDB X 2)	HiZ	VCCSDR
	非選択		HiZ	VCCSDR	VCCVPS	VCCSDR	HiZ	VCCSDR

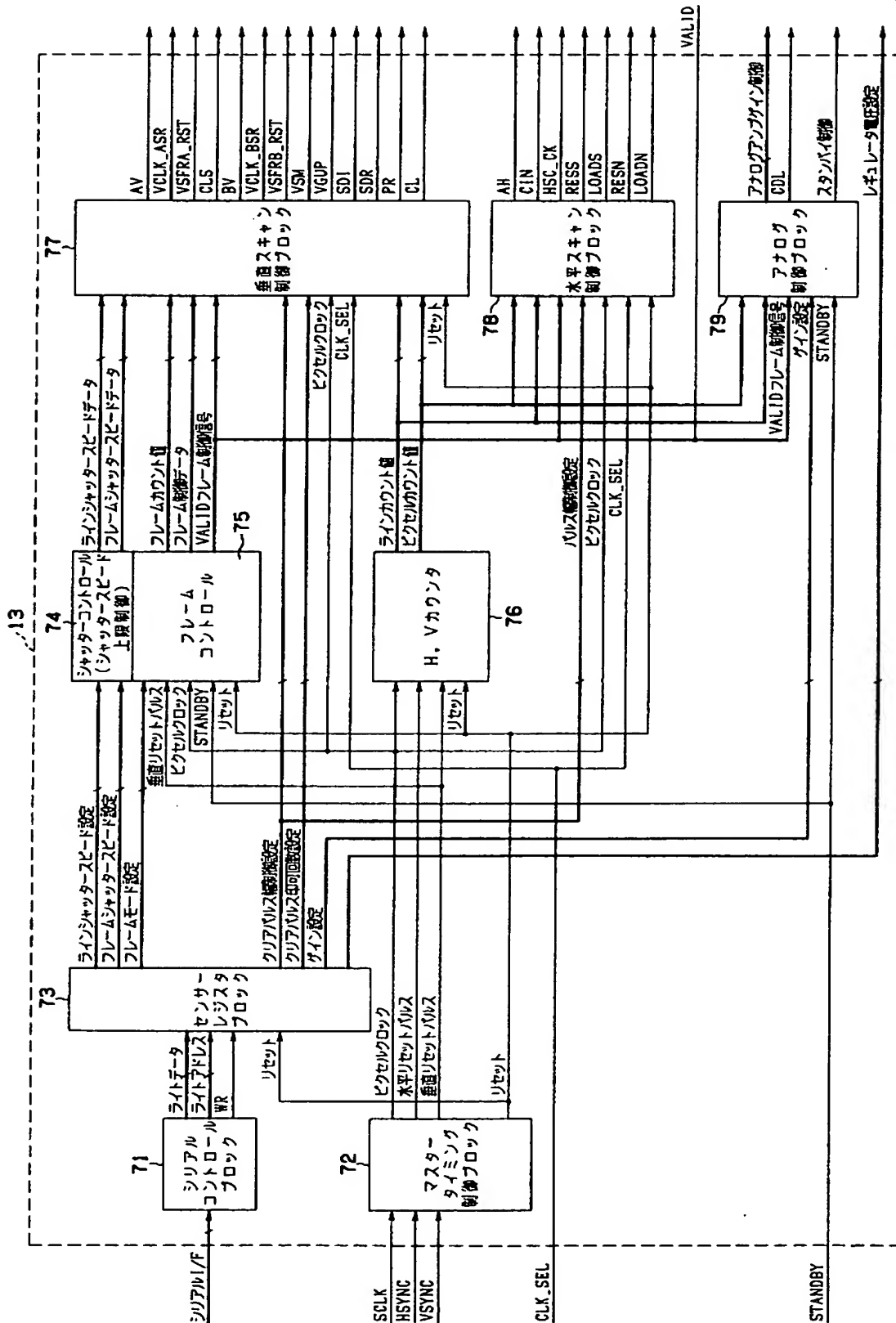
【図 6】



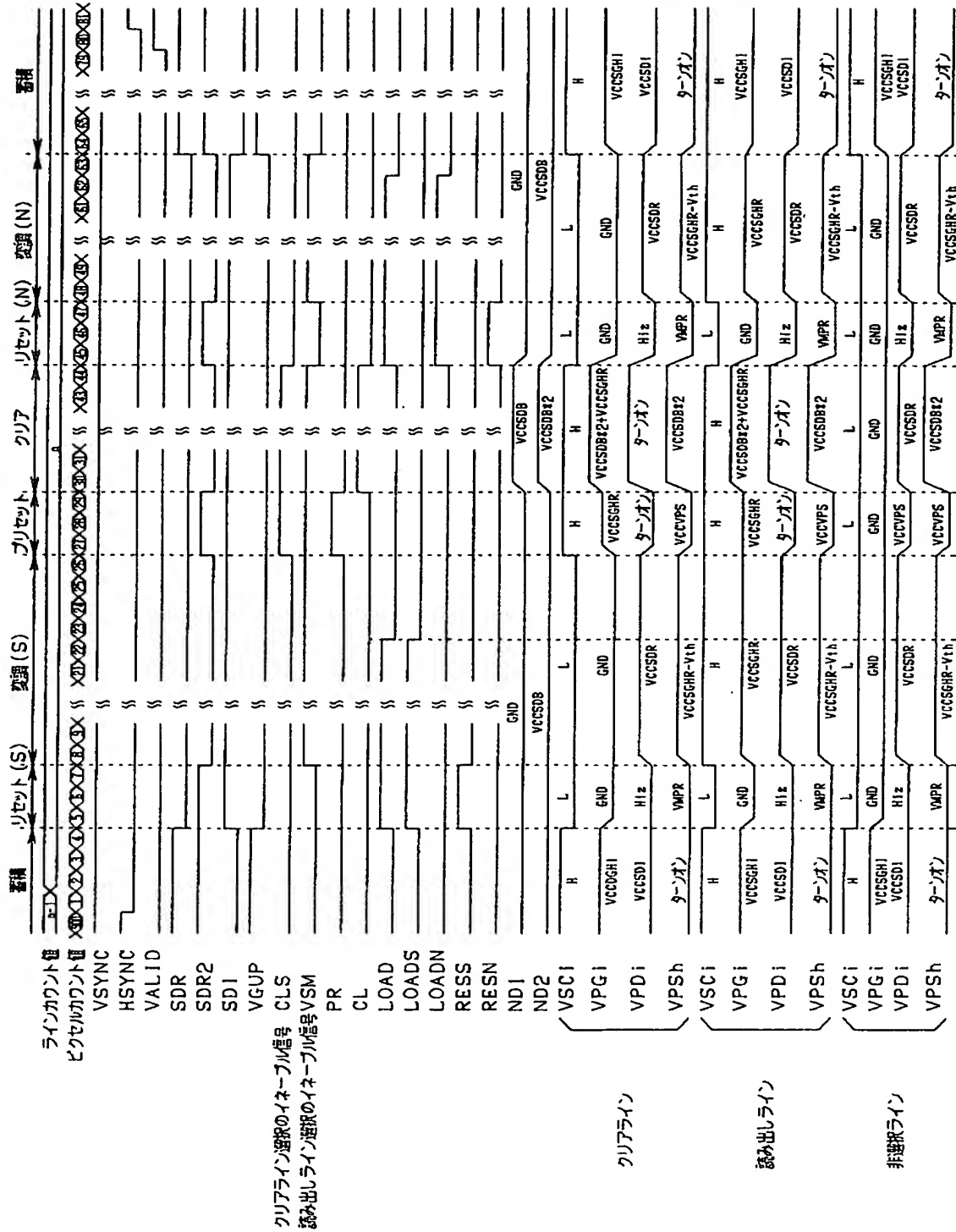
【図 7】



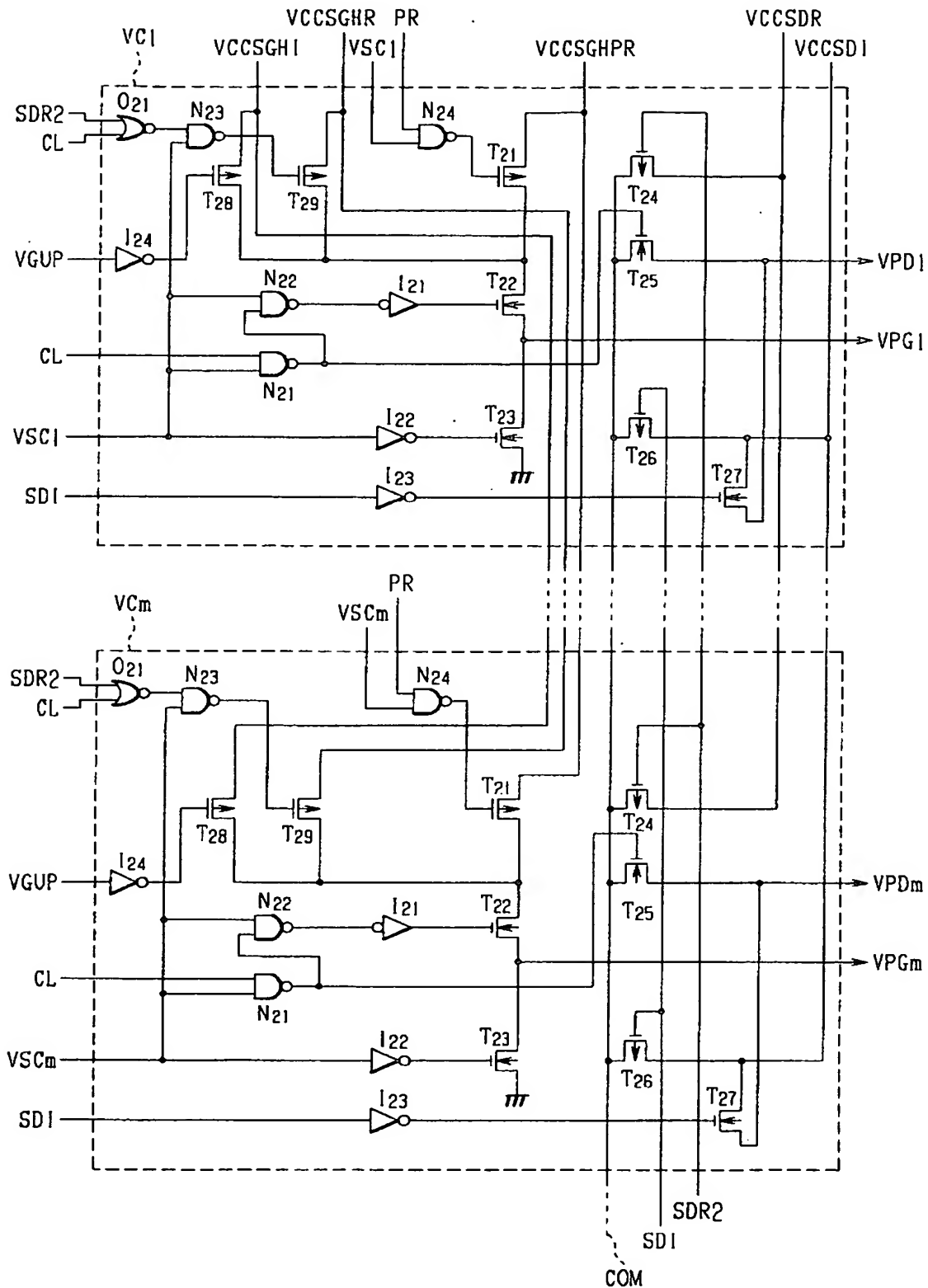
【図 8】



【図 9】



【図 10】



**【書類名】 要約書****【要約】**

**【課題】** 良質な画像を得られるようにするためのゲート電圧の供給を行う画像処理装置を提供する。

**【解決手段】** フォトダイオードと光信号検出用のトランジスタとを備えた単位画素が複数配列された固体撮像素子と、複数のトランジスタの各ゲートに印加される印加電圧を変更するゲート印加電圧変更回路とを有し、ゲート印加電圧変更回路は、受光した光に応じてフォトダイオードにキャリアを生じさせる蓄積状態では第1の電源から、そして蓄積状態において蓄積されたキャリアに応じた信号を読み出す読み出し状態では第2の電源から、複数のトランジスタの各ゲートへ、それぞれ予め決められた電圧を供給する。

**【選択図】** 図3

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 1 3 6 0 3
受付番号	5 0 3 0 0 0 9 7 0 2 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 1 月 2 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 1月22日
-------	-------------

次頁無



特願 2 0 0 3 - 0 1 3 6 0 3

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社